

IEC 61000-4-16 の概要 — 追補 3: DC 電圧試験における 妨害電圧の印加の影響

株式会社 e・オータマ 佐藤智典

2026 年 1 月 6 日

目 次

1 概要	2	4 補足	15
2 デジタル I/O ポート、デジタル通信ポート	2	4.1 アイソレートされたポート	15
2.1 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → 抵抗ブルアップ、電圧入力 (AE 側)	2	4.2 妨害電圧の印加の影響の推定の方法の例	15
2.1.1 通常の動作	2	4.2.1 NPN オープン・コレクタ出力→抵抗ブル アップ、電圧入力	16
2.1.2 妨害電圧の印加の影響	3	4.2.2 NPN オープン・コレクタ出力→フォトカプ ラ絶縁入力	16
2.1.2.1 多数のラインが束で引かれる場合	4	4.2.3 PNP オープン・コレクタ出力→フォトカプ ラ絶縁入力	17
2.1.2.2 EUT と AE が逆の場合	4		
2.1.3 妨害電圧の印加の影響の緩和	5		
2.1.4 妨害電圧による損傷の防止	5		
2.2 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → リレー負荷 (AE 側)	6	5まとめ	17
2.2.1 通常の動作	6		
2.2.2 妨害電圧の印加の影響	6		
2.2.3 妨害電圧の印加の影響の緩和	6		
2.3 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側)	7	6 参考資料	18
2.3.1 通常の動作	8		
2.3.2 妨害電圧の印加の影響	8		
2.3.2.1 多数のラインが束で引かれる場合	9		
2.3.2.2 EUT と AE が逆の場合	9		
2.3.3 妨害電圧の印加の影響の緩和	9		
2.3.4 妨害電圧による損傷の防止	10		
2.4 非絶縁 PNP オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側)	10		
2.4.1 通常の動作	10		
2.4.2 妨害電圧の印加の影響	10		
2.4.2.1 多数のラインが束で引かれる場合	11		
2.4.2.2 EUT と AE が逆の場合	12		
2.4.3 妨害電圧の印加の影響の緩和	12		
2.4.4 妨害電圧による損傷の防止	12		
2.5 フォトカプラ絶縁出力 (EUT 側) → 抵抗ブル アップ、電圧入力 (AE 側)	13		
2.6 TIA/EIA/RS 485	13		
2.6.1 通常の動作	13		
2.6.2 妨害電圧の印加の影響	13		
2.6.3 妨害電圧の印加の影響の緩和	14		
3 アナログ I/O ポート	14		
3.1 アナログ信号 定電流ソース (EUT 側) → 抵抗 負荷、絶縁増幅器入力 (AE 側)	14		
3.1.1 通常の動作	14		
3.1.2 妨害電圧の印加の影響	14		
3.1.2.1 EUT と AE が逆の場合	14		
3.1.3 妨害電圧の印加の影響の緩和	15		

1 概要

IEC 61000-4-16^{[1][2]} の試験に際して、非シールド線の接続が意図されたポートには図 1 のように結合回路を介して妨害が注入される。

DC 妨害電圧の印加に際しては抵抗と直列に接続された $1 \mu\text{F}$ のコンデンサは短絡して抵抗のみを介して典型的には DC $\pm 10 \text{ V}$ や DC $\pm 100 \text{ V}$ の妨害電圧が印加され、印加対象のポートには相当の妨害電圧が印加される可能性がある。

この試験は DC の妨害電圧の印加をコモンモードで行なうような形となっているが、例えば 2 本のラインの一方がグランドや電源に接続されている場合のように、相当のレベルの妨害電圧が実質的にノーマルモードで印加される形となってこれが著しい悪影響を与えることもある。

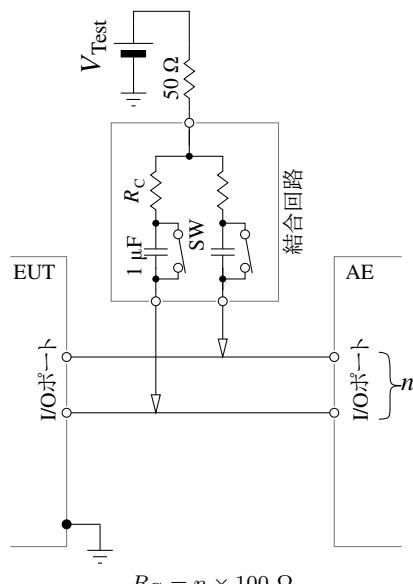


図 1: DC 電圧試験での妨害電圧の印加の例

本稿では IEC 61000-4-16 のこの DC 電圧試験において生じる可能性が予期される影響^[1]について、

^[1] 本稿で述べるのはあくまでも IEC 61000-4-16 の DC 電圧試験で生じる可能性が予期される影響であり、これは実際の使用環境で生じる可能性が予期される影響とは異なるかも知れない。特に、意図された使用環境でこの試験での模擬が意図されている妨害の主な発生源となる直流の電力が用いられない場合、また接続先のポートがアイソレートされる場合（§4.1）には、そもそもこの試験で模擬されるような妨害を受けそうにない。このような場合、この試験を実施して合格させることは実際の使用環境でのイミュニティの向上に寄与しそうにない。一方、後でも触れるように、この試験は実際の使用状況とは無関係に対向器（AE）側のポートは減結合（デカップル）して行なわれ、これが実際の使用状況との大きな乖離を生じさせる可能性もある。

また一部についてはその影響の緩和に用いることができるかも知れない手段について述べる。

この試験に際しては印加対象のポート以外は結合回路を介して接地され、これが悪影響を与える可能性もあるが、これについては既に別の記事^[2.1] で扱っており、本稿では扱わない。

2 デジタル I/O ポート、デジタル通信ポート

試験レベルとその試験レベルで許容される試験対象システムへの影響（性能基準）は規格で規定されるか製品毎の分析に基づいて規定されることになるだろうが、ここでは仮に DC $\pm 10 \text{ V}$ までの試験レベルでシステムが正常な動作を維持することが、また DC $\pm 100 \text{ V}$ までの試験レベルで損傷を生じないことが求められるものと仮定する。

2.1 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → 抵抗プルアップ、電圧入力 (AE 側)

ここでは、図 3^[2] に示すような、オープン・コレクタの出力を抵抗 (R_L) でプルアップして論理信号として受け取る単純な非絶縁インターフェースについて考える。

受信レベルのロー/ハイの判別の閾値 V_T はレシーバに依存し、レシーバとして標準ロジックを用いるとしてもファミリや電源電圧による相違が、またファミリ内でも若干の相違がある。さらに、実際の閾値は図 2 でグレー・ゾーンとして示した広い範囲内のどこかにあり、シュミット・トリガの場合は電圧の立ち上がりと立ち下がりとで異なる閾値を持つが、ここでは主に図 2 で 74HC04 (C-MOS レベル) と 7404 (TTL レベル) として示した閾値を仮定する。

表 1～表 2 での色分けは図 2 の 74HC04 の色分けに合わせている。

2.1.1 通常の動作

通常の動作状態では、図 3 のような構成でドライバ Q1 の出力がロー（導通）の時は受信端の電圧 V_{IN}

^[2] ここでは実際には存在するかも知れないフィルタや保護回路は示していない。以下も同様。

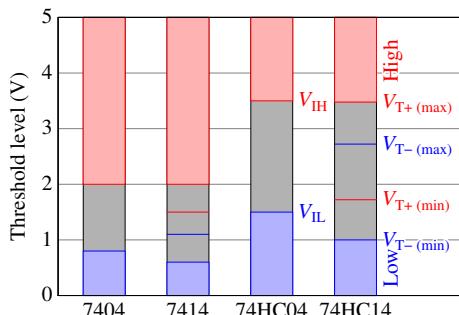
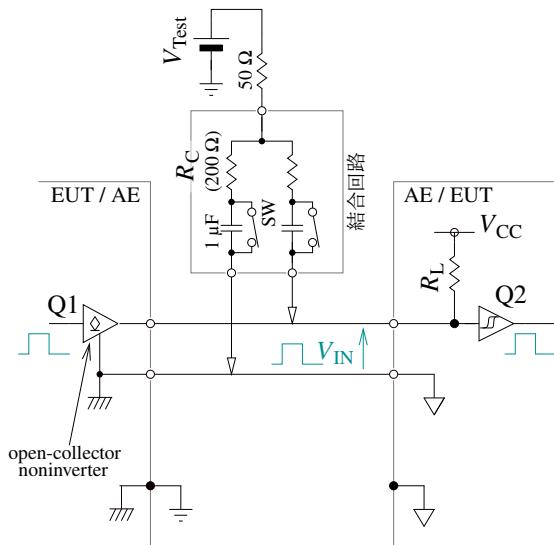
図 2: ロジック入力の閾値の例 ($V_{CC} = 5 \text{ V}$)

図 3: 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → 抵抗プルアップ、電圧入力 (AE 側)

は 0 V 近くまで引き下げられてロー・レベルとなり、レシーバ Q2 の出力もローとなる。

また、ドライバ Q1 の出力がハイ（開放）の時は受信端の電圧 V_{IN} はプルアップ抵抗 R_L によって受信側の V_{CC} 近くまで引き上げられられてハイ・レベルとなり、レシーバ Q2 の出力もハイとなる。

2.1.2 妨害電圧の印加の影響

- 図 3 のような構成で、ドライバ Q1 の出力がロー（導通）の状態で妨害電圧 V_{Test} を印加した時、

- 正の妨害電圧 ($0 \text{ V} < V_{Test}$) の場合:

妨害電圧の印加に伴う電流をドライバ Q1 が吸い込める限りは V_{IN} は 0 V に近いまに維持され、レシーバ Q2 の出力はローのままとなる。

但し、Q1 はその電流を吸い込んで出力を 0 V 近くに保てるだけの能力が必要となる。

- 負の妨害電圧 ($0 \text{ V} > V_{Test}$) の場合:

妨害電圧の印加は既にほぼ 0 V となっていた V_{IN} をさらに引き下げるよう働くが、これはレシーバ Q2 の出力の論理状態を変化させない。

但し、適切な保護なしでは許容電圧範囲の下限を下回る電圧が生じることが予期され、損傷の防止のため、おそらくは保護ダイオードでのクランプが必要となるだろう (§2.1.4)。

- Q1 の出力がハイ（開放）の状態で妨害電圧 V_{Test} を印加した時、

- 正の妨害電圧 ($0 \text{ V} < V_{Test}$) の場合:

妨害電圧の印加は既にほぼ V_{CC} となっていた V_{IN} をさらに引き上げるように働くが、これはレシーバ Q2 の出力の論理状態を変化させない。

但し、適切な保護なしでは許容電圧範囲の上限を上回る電圧が生じることが予期され、損傷の防止のため、おそらくは保護ダイオードでのクランプが必要となるだろう (§2.1.4)。

- 負の妨害電圧 ($0 \text{ V} > V_{Test}$) の場合:

妨害電圧がプルアップ抵抗 R_L に拮抗して V_{IN} を引き下げる形となるため、本来はハイ・レベルであるべき V_{IN} のレベルが低下してレシーバ Q2 の出力がハイに維持されなくなる可能性がある。

参考のため、デバイスの入力インピーダンスや実際には存在するであろう保護回路^{†3}の影響などは無視し、 $R_C = 200 \Omega$ ($n = 2$)、 $V_{CC} = 5 \text{ V}$ 、Q1 の出力はハイ（開放）として図 3 のような構成で妨害電圧 V_{Test} を印加した時のレシーバ Q2 の入力電圧 V_{IN} を $30 \sim 500 \Omega$ のプルアップ抵抗 R_L について推定した結果を表 1 に示す。

^{†3} レシーバ Q2 に内蔵されているかも知れない保護素子を別としても、この種の入力には例え §2.1.4 で述べるような保護回路（またはフィルタ）が付けられることが予期される。図 6 の保護回路では V_{IN} は $0 \text{ V} \sim V_{CC}$ よりも若干広い電圧でクリップされる。

V_{Test}	R_L	V_{IN}
+10 V	500 Ω	+7.0 V
+10 V	100 Ω	+5.9 V
+10 V	50 Ω	+5.5 V
+10 V	30 Ω	+5.3 V
-10 V	500 Ω	-3.8 V
-10 V	100 Ω	+1.2 V
-10 V	50 Ω	+2.8 V
-10 V	30 Ω	+3.6 V
+100 V	500 Ω	+55.7 V
+100 V	100 Ω	+27.1 V
+100 V	50 Ω	+17.9 V
+100 V	30 Ω	+13.3 V
-100 V	500 Ω	-52.4 V
-100 V	100 Ω	-20.0 V
-100 V	50 Ω	-9.7 V
-100 V	30 Ω	-4.4 V

表 1: 非絶縁 NPN オープン・コレクタ出力 (EUT 側)
→ 抵抗プルアップ、電圧入力 (AE 側) — 妨害電圧 V_{Test}
印加時の入力電圧 V_{IN} の推定 ($R_C = 200 \Omega$ ($n = 2$)、
 $V_{\text{CC}} = 5 \text{ V}$ 、Q1 の出力はハイ (開放)、デバイスの入力
インピーダンスや保護回路の影響は無視)

表1の $V_{\text{Test}} = -10 \text{ V}$ の箇所を見ると、その妨害電圧の印加によって V_{IN} が有意に低くなり、プルアップ抵抗 R_L をかなり小さくしなければ本来はハイであるべき Q2 の出力がローとなる、あるいはローとなるかも知れない場合があることがわかる。^{†4}

2.1.2.1 多数のラインが束で引かれる場合

一連の端子からの多数のラインが全長にわたって束のままで引かれて同一の対向器に接続されるような場合、それら全体を単一のポートとみなして結合回路の抵抗 R_C をそのライン数 n に応じて大きな値とできるであろうし、その場合、それに応じて妨害電圧の印加の影響は小さくなるであろう。

この例として、図4にイメージを示すように 16 本のラインが束とされることを仮定して $R_C = 16 \times 100 \Omega = 1.6 \text{ k}\Omega$ ($n = 16$) とし、他のラインの接続先の影響は無視して^{†8} 図3と同様の回路 1つについて同様の推定を行なったものを表2に示す。

この推定では $R_C = 200 \Omega$ ($n = 2$) とした表1の推定と比較して妨害電圧の (また結合回路の接続の) 影響は有意に小さくなっている、例えば $V_{\text{Test}} = -10 \text{ V}$ 、 $R_L = 100 \Omega$ でも Q2 の出力はハイとなると推定されている。

V_{Test}	R_L	V_{IN}
+10 V	500 Ω	+6.1 V
+10 V	100 Ω	+5.3 V
+10 V	50 Ω	+5.1 V
+10 V	30 Ω	+5.1 V
-10 V	500 Ω	+1.6 V
-10 V	100 Ω	+4.2 V
-10 V	50 Ω	+4.6 V
-10 V	30 Ω	+4.7 V
+100 V	500 Ω	+26.4 V
+100 V	100 Ω	+10.3 V
+100 V	50 Ω	+7.7 V
+100 V	30 Ω	+6.6 V
-100 V	500 Ω	-18.7 V
-100 V	100 Ω	-0.8 V
-100 V	50 Ω	+2.0 V
-100 V	30 Ω	+3.2 V

表 2: 非絶縁 NPN オープン・コレクタ出力 (EUT 側)
→ 抵抗プルアップ、電圧入力 (AE 側) — 妨害電圧 V_{Test}
印加時の入力電圧 V_{IN} の推定 ($R_C = 1.6 \text{ k}\Omega$ ($n = 16$)、
 $V_{\text{CC}} = 5 \text{ V}$ 、Q1 の出力はハイ (開放)、デバイスの入力
インピーダンスや保護回路の影響は無視)

2.1.2.2 EUT と AE が逆の場合

この試験は AE (対向器) 側のポートは減結合 (デカップル) して、従ってアース (−) からもアイソレートされた状態で行なわれる。^{†5}一方、EUT はアース (−) に接続され、ここで仮定した構成 (図3) では EUT の回路のグランド (⏚) もアース (−) に接続されることになる。

だが、図3のような構成では EUT と AE のポートのグランド (⏚ ⊖) が接続されることから、そのいずれがアース (−) に接続されていても顕著な違いは生じそうにない。

^{†4} 例えば $V_{\text{Test}} = -10 \text{ V}$ 、 $R_L = 100 \Omega$ では $V_{\text{IN}} = +1.2 \text{ V}$ で、これは図2で示した 74HC04 (C-MOS レベル) では青の領域に入ることから確実にローとなり、7404 (TTL レベル) ではハイかローかが不確定となるグレー・グーンに入る。

^{†5} 本稿では、AE 側のポートが本質的にアイソレートされている (§4.1) のでない場合、AE 全体をアース (−) からアイソレートして AE の他のポートは使用しないことでこれを実現することを仮定している。

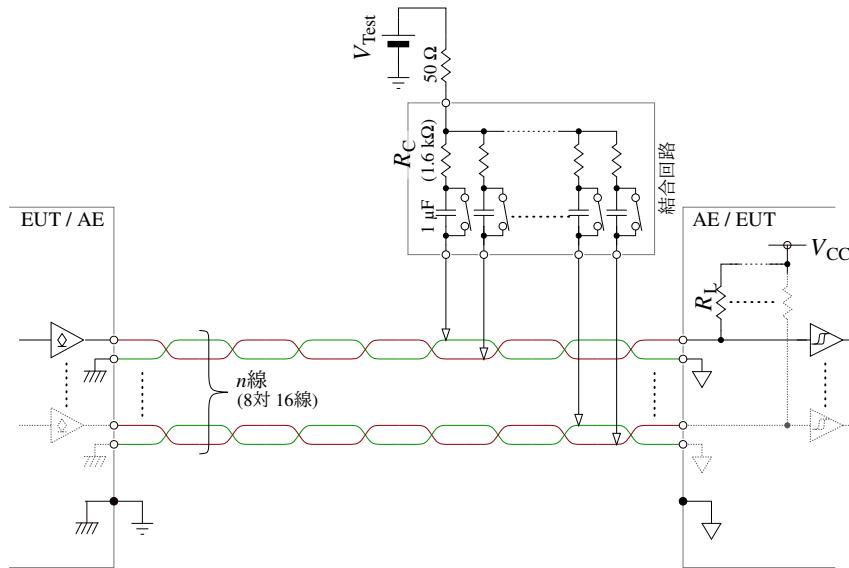


図 4: 多数のラインが束で引かれる場合

2.1.3 妨害電圧の印加の影響の緩和

表 1 の推定結果からすると、図 3 のような構成で妨害電圧 $V_{Test} = -10 \text{ V}$ を印加した状態でも正しい動作を維持させるためには、例えば次のような手段の適用が必要となりそうである：

- 図 3 のような 2 線のポートで、図 2 で 74HC14 や 74HC04 として例示したような閾値 (C-MOS レベル) を持つレシーバを用いる場合、プルアップ抵抗 R_L を 30Ω 程度以下とする。^{†6}

図 3 のような 2 線のポートで、図 2 で 7414 や 7404 として例示したような閾値 (TTL レベル) を持つレシーバを用いる場合、プルアップ抵抗 R_L を 50Ω 程度以下とする；

- あるいは、より多くの線を束として引くようにすることで妨害電圧の影響を緩和し、プルアップ抵抗 R_L をそれに応じた値とする (§2.1.2.1)；
- あるいは、そのポートをアース (\perp) や他の全てのポートからアイソレートする (§4.1)。
- あるいは、そのケーブルを適切にシールドする (図 5)。

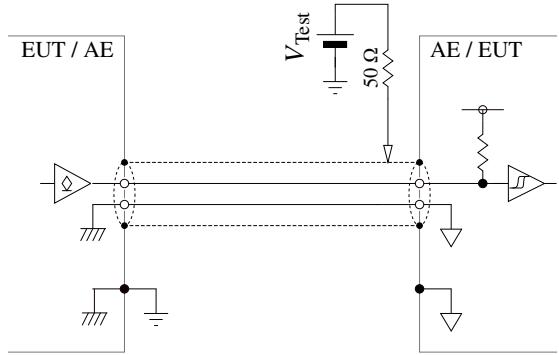


図 5: シールド・ケーブルへの印加

2.1.4 妨害電圧による損傷の防止

先に触れたような妨害電圧を受けた時の損傷の防止のための保護回路の例を図 6 に示す。

ここで追加しているコンポーネントは以下のようない役割を意図したものとなる：

- D1 — 逆電圧に対するレシーバ Q2 の保護
- D2 — 過電圧に対するレシーバ Q2 の保護
- R1 — レシーバ Q2 に流入する電流の制限
- D3 — 逆電圧に対するドライバ Q1 の保護

^{†6} 特性のばらつきやノイズ・マージンなどは考慮していない。
他の箇所も同様。

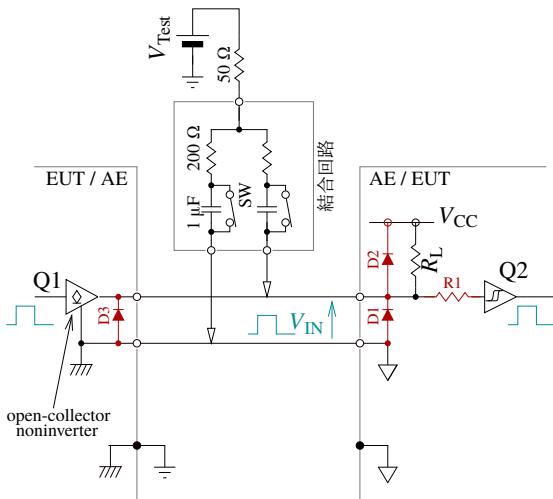


図 6: 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → 抵抗プルアップ、電圧入力 (AE 側) — 保護回路の追加の例

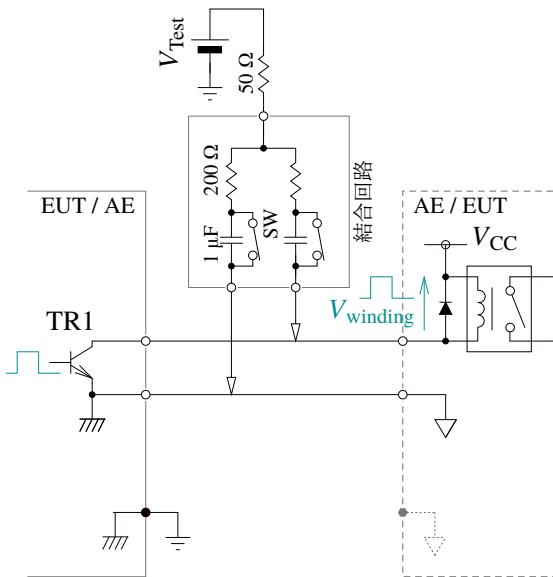


図 7: 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → リレー負荷 (AE 側)

2.2 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → リレー負荷 (AE 側)

2.2.1 通常の動作

リレーの感動電圧 (動作電圧) は巻線に印加される電圧がそれ以上となるとオン状態 (動作状態) となる電圧で、リレーの仕様ではその上限値 (“定格電圧の $x\%$ 以下” のような) で示される。また、開放電圧 (復帰電圧) は電圧がそれ以下となるとオフ状態 (復帰状態) となる電圧で、仕様ではその下限値 (“定格電圧の $x\%$ 以上” のような) で示される。

図 7のような構成の通常の動作状態では、トランジスタ TR1 がオン (導通) の時はリレーの巻線に定格電圧近くの電圧が印加されてリレーはオン状態となる。

また、トランジスタ TR1 がオフ (遮断) の時はリレーの巻線に印加される電圧は 0 V 近くまで低下してリレーはオフ状態となる。

2.2.2 妨害電圧の印加の影響

図 7のような構成では、§2.1.2の場合と同様、トランジスタ TR1 がオフ (遮断) の状態で負の妨害電圧を印加した時の動作が主な懸念となる。

表 3に、リレーの定格電圧 V_{rated} は 5 V、12 V、24 V、及び 48 V、電源電圧 $V_{CC} = V_{rated}$ 、リレーの感動電圧は定格電圧 V_{rated} の 80 % 以下、開放電圧は定格電圧の 30 % 以上、巻線抵抗は $R_{winding} = V_{rated}^2 / 0.6 \text{ W}$ と仮定して、トランジスタ TR1 がオフ (遮断) の状態で結合回路を接続しただけの時 ($V_{Test} = \text{"Open"}$)、また妨害電圧を印加した時の巻線電圧 $V_{winding}$ を推定した結果を示す。

この条件では、いずれの場合もリレーはオフ状態となるべきところ、 -10 V の妨害電圧を印加した時に定格 5 V のリレーの場合は巻線電圧が開放電圧を下回らないことからリレーはオフ状態とならないかも知れず、その他の定格のリレーの場合は巻線電圧が感動電圧を上回り (オフとなるべきところが) 確実にオン状態となるであろうと推定されている。

また、定格 24 V と 48 V のリレーについては、 $+10 \text{ V}$ の妨害電圧を印加した時も巻線電圧が開放電圧を下回らず、リレーはオフ状態とならないかも知れないと推定されている。

ここでは定格電圧を印加した時の電力が 0.6 W となるようなりレーを想定したが、この電力がより大きい、すなわち巻線抵抗がより小さいリレーの場合は妨害電圧の影響はそれに応じて小さくなる。

2.2.3 妨害電圧の印加の影響の緩和

図 7のような構成でリレー巻線と並列に 60Ω の抵抗を接続した場合の表 3と同様の推定を表 4に示すが、この条件であればいずれの場合も $\pm 10 \text{ V}$ の妨害電圧を印加しても巻線電圧が開放電圧を下回り、確実にオフ状態となるであろうと推定されている。

V_{Test}	V_{rated}	V_{winding}	$V_{\text{winding}}/V_{\text{rated}}$
Open	5 V	0.47 V	9 %
Open	12 V	4.5 V	38 %
Open	24 V	17 V	71 %
Open	48 V	43 V	91 %
+10 V	5 V	< 0 V	< 0 %
+10 V	12 V	2 V	17 %
+10 V	24 V	13 V	53 %
+10 V	48 V	38 V	78 %
-10 V	5 V	1.9 V	38 %
-10 V	12 V	10 V	83 %
-10 V	24 V	26 V	107 %
-10 V	48 V	53 V	110 %
+100 V	5 V	< 0 V	< 0 %
+100 V	12 V	< 0 V	< 0 %
+100 V	24 V	< 0 V	< 0 %
+100 V	48 V	< 0 V	< 0 %
-100 V	5 V	13 V	251 %
-100 V	12 V	46 V	383 %
-100 V	24 V	83 V	347 %
-100 V	48 V	120 V	251 %

表 3: 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → リレー負荷 (AE 側) — 妨害電圧 V_{Test} 印加時の巻線電圧 V_{winding} の推定 ($R_C = 200 \Omega$ ($n = 2$), Q1 の出力はハイ (開放)、電源電圧 V_{CC} はリレーの定格電圧 V_{rated} と同一、リレーの感動電圧は定格電圧 V_{rated} の 80 % 以下、開放電圧は定格電圧の 30 % 以上、巻線抵抗は $R_{\text{winding}} = V_{\text{rated}}^2 / 0.6 \text{ W}$ と仮定)

上の結果からすると、図 7 のような構成で妨害電圧 $V_{\text{Test}} = -10 \text{ V}$ を印加した状態でも正しい動作を維持させるためには、例えば次のような手段の適用が必要となりそうである:

- 上で例を示したようにリレー巻線と並列に適切な値の抵抗 (表 4 の例では 60Ω だが、条件によって異なる) を接続する。
- あるいは、そのポートをアース (\perp) や他の全てのポートからアイソレートする (§4.1)。
- あるいは、そのケーブルを適切にシールドする (図 5)。

V_{Test}	V_{rated}	V_{winding}	$V_{\text{winding}}/V_{\text{rated}}$
Open	5 V	0.27 V	5 %
Open	12 V	1.1 V	9 %
Open	24 V	2.5 V	11 %
Open	48 V	5.3 V	11 %
+10 V	5 V	< 0 V	< 0 %
+10 V	12 V	0.59 V	5 %
+10 V	24 V	2.6 V	11 %
+10 V	48 V	6.8 V	14 %
-10 V	5 V	1.1 V	22 %
-10 V	12 V	2.9 V	25 %
-10 V	24 V	5.3 V	22 %
-10 V	48 V	9.6 V	20 %
+100 V	5 V	< 0 V	< 0 %
+100 V	12 V	< 0 V	< 0 %
+100 V	24 V	< 0 V	< 0 %
+100 V	48 V	< 0 V	< 0 %
-100 V	5 V	7.3 V	147 %
-100 V	12 V	14 V	113 %
-100 V	24 V	17 V	72 %
-100 V	48 V	22 V	45 %

表 4: 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → リレー負荷 (AE 側) — 妨害電圧 V_{Test} 印加時の巻線電圧 V_{winding} の推定 ($R_C = 200 \Omega$ ($n = 2$), Q1 の出力はハイ (開放)、電源電圧 V_{CC} はリレーの定格電圧 V_{rated} と同一、リレーの感動電圧は定格電圧 V_{rated} の 80 % 以下、開放電圧は定格電圧の 30 % 以上、巻線抵抗は $R_{\text{winding}} = V_{\text{rated}}^2 / 0.6 \text{ W}$ 、巻線と並列に 50Ω の抵抗を接続すると仮定)

2.3 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側)

ここでは図 8 のように EUT 側からの単純な非絶縁オープン・コレクタの出力を AE (対向器) 側のフォトカプラで受ける場合について考える。

図 8 では示していないがフォトカプラの出力は論理信号として扱われ、フォトカプラの LED 電流の閾値はそれに対応する形で定まるものと仮定する。

フォトカプラの LED と直列に接続される抵抗 R_1 はドライバの出力がオン (導通) となった時、つまり図 8 で受信端の電圧 V_{IN} がほぼ V_{IO} となった時に確実に閾値を超える電流が流れるように設定され、この電流は閾値の下限よりもかなり大きなものとなるだろう。

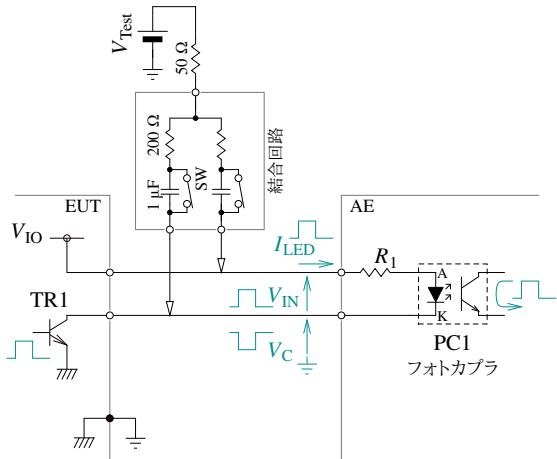


図 8: 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側)

2.3.1 通常の動作

通常の動作状態では、図 8 のような構成でドライバ TR1 がオン (導通) となっている時は TR1 のコレクタ側の、従ってフォトカプラ PC1 の LED のカソード (K) 側の電位 V_C は 0 V 近くまで引き下げられて PC1 の LED 電流 I_{LED} は閾値を超える。その出力側はそれに対応した論理状態となる。

また、ドライバ TR1 がオフ (遮断) となっている時はフォトカプラ PC1 の LED 電流 I_{LED} は遮断され、その出力側はそれに対応した論理状態となる。

2.3.2 妨害電圧の印加の影響

- 図 8 のような構成で、ドライバ TR1 がオン (導通) となっている、従って閾値を超える I_{LED} が流れている状態で妨害電圧 V_{Test} を印加した時、

- 正の妨害電圧 ($0 \text{ V} < V_{Test}$) の場合:

妨害電圧の印加に伴う電流をドライバ TR1 が吸収する限りは V_C は 0 V に近いままに維持され、 V_{IN} は、従って I_{LED} は大きく変動せず、その出力側の論理状態は変化しないと想定される。

但し、TR1 はその電流を吸い込んで出力を 0 V 近くに保てるだけの能力が必要となる。

- 負の妨害電圧 ($0 \text{ V} > V_{Test}$) の場合:

妨害電圧の印加は既にほぼ 0 V となっていた V_C をさらに引き下げるよう働く

が、これはフォトカプラの出力側の論理状態を変化させない。

但し、適切な保護なしでは、ドライバ TR1 のコレクターエミッタ間に相当の逆電圧が印加されることが、また I_{LED} が通常想定される範囲を大幅に超えることが予測され、適切な保護が必要となりそうである。

- ドライバ TR1 がオフ (遮断) となっている、従って I_{LED} がゼロとなっている状態で妨害電圧 V_{Test} を印加した時、
 - 正の妨害電圧 ($0 \text{ V} < V_{Test}$) の場合:
妨害電圧の印加に伴って V_C が引き上げられるであろうが、これは LED に逆電圧を印加する形となり、出力側の論理状態は変化しない。
但し、LED は一般に逆電圧への耐性は低く、損傷の防止のための逆電圧に対する保護 (§2.3.4) は必要となるだろう。
 - 負の妨害電圧 ($0 \text{ V} > V_{Test}$) の場合:
妨害電圧の印加に伴って V_C が引き下げられて閾値を超える I_{LED} が流れ、その出力側の論理状態が誤った状態となる可能性がある。

参考のため、デバイスの入力インピーダンスや実際には存在するであろう保護回路の影響などは無視し、 $R_C = 200 \Omega$ ($n = 2$)、 $V_{IO} = 5 \text{ V}$ 、 $R_1 = 500 \Omega$ 、TR1 はオフ (遮断) 状態として図 8 のような構成で妨害電圧 V_{Test} を印加した時の I_{LED} を推定した結果を表 5 に示す。

表 5 に示した推定では、図 8 のような状態 ($R_2 = \text{なし}$) で妨害電圧 $V_{Test} = -10 \text{ V}$ を印加すると TR1 をオフとしているにも関わらず LED 電流 I_{LED} は TR1 をオンとした時よりも大きくなり、従ってフォトカプラの出力側の論理状態は確実に誤った状態となると推定されている。

表 6 には $R_C = 200 \Omega$ ($n = 2$)、 $V_{IO} = 24 \text{ V}$ 、 $R_1 = 3.6 \text{ k}\Omega$ としての同様の推定を示す。

表 5 と同様、表 6 でも図 8 のような状態 ($R_2 = \text{なし}$) で妨害電圧 $V_{Test} = -10 \text{ V}$ を印加すると I_{LED} が閾値を超えると推定されているだけでなく、 $V_{Test} = +10 \text{ V}$ の場合も I_{LED} が 2.5 mA に達すると推定されている。

V_{Test}	R_2	V_{IN}	I_{LED}
+10 V	なし	-4 V	0.0 mA
+10 V	200 Ω	-1.8 V	0.0 mA
+10 V	30 Ω	-0.44 V	0.0 mA
-10 V	なし	+8.8 V	13 mA
-10 V	200 Ω	+4.8 V	5.8 mA
-10 V	30 Ω	+1.3 V	0.0 mA
+100 V	なし	-54 V	0.0 mA
+100 V	200 Ω	-30 V	0.0 mA
+100 V	30 Ω	-8.3 V	0.0 mA
-100 V	なし	+57 V	0.11 A
-100 V	200 Ω	+32 V	59 mA
-100 V	30 Ω	+9 V	13 mA

表 5: 非絶縁 NPN オープン・コレクタ出力 (EUT 側)
→ フォトカプラ絶縁入力 (AE 側) — 妨害電圧 V_{Test} 印加時の入力電流 I_{LED} の推定 ($R_C = 200 \Omega$ ($n = 2$)、
 $V_{\text{IO}} = 5 \text{ V}$ 、 $R_1 = 500 \Omega$ 、TR1 はオフ (遮断) 状態、保
護回路なし、 R_2 は図 9 を参照)

V_{Test}	R_2	V_{IN}	I_{LED}
+10 V	なし	+11 V	2.4 mA
+10 V	200 Ω	+5 V	0.9 mA
+10 V	30 Ω	+1.2 V	0.0 mA
-10 V	なし	+26 V	6.6 mA
-10 V	200 Ω	+12 V	2.8 mA
-10 V	30 Ω	+3 V	0.4 mA
+100 V	なし	-57 V	0.0 mA
+100 V	200 Ω	-27 V	0.0 mA
+100 V	30 Ω	-6.8 V	0.0 mA
-100 V	なし	+93 V	25 mA
-100 V	200 Ω	+44 V	11 mA
-100 V	30 Ω	+11 V	2.5 mA

表 6: 非絶縁 NPN オープン・コレクタ出力 (EUT 側)
→ フォトカプラ絶縁入力 (AE 側) — 妨害電圧 V_{Test} 印
加時の入力電流 I_{LED} の推定 ($R_C = 200 \Omega$ ($n = 2$)、
 $V_{\text{IO}} = 24 \text{ V}$ 、 $R_1 = 3.6 \text{ k}\Omega$ 、TR1 はオフ (遮断) 状態、
保護回路なし、 R_2 は図 9 を参照)

2.3.2.1 多数のラインが束で引かれる場合

§2.1.2.1 と同様、16 本のラインが束とされることを仮定して $R_C = 16 \times 100 \Omega = 1.6 \text{ k}\Omega$ ($n = 16$) とし、他のラインの接続先の影響は無視して図 8 と同様の回路 1 つについて同様の推定を行なったものを表 7 に示す。

表 5 と表 7 を比較すると、後者では妨害電圧 V_{Test} の印加に伴う LED 電流 I_{LED} が若干低減されてい

ること、特に $R_2 = 200 \Omega$ の時の I_{LED} の推定が 5.8 mA から 0.1 mA に低下していることが目に付くだろう。

V_{Test}	R_2	V_{IN}	I_{LED}
+10 V	なし	-4.8 V	0.0 mA
+10 V	200 Ω	-0.52 V	0.0 mA
+10 V	30 Ω	-0.087 V	0.0 mA
-10 V	なし	+4.8 V	5.9 mA
-10 V	200 Ω	+1.6 V	0.1 mA
-10 V	30 Ω	+0.26 V	0.0 mA
+100 V	なし	-27 V	0.0 mA
+100 V	200 Ω	-9.1 V	0.0 mA
+100 V	30 Ω	-1.6 V	0.0 mA
-100 V	なし	+25 V	46 mA
-100 V	200 Ω	+8.6 V	13 mA
-100 V	30 Ω	+1.8 V	0.4 mA

表 7: 非絶縁 NPN オープン・コレクタ出力 (EUT 側)
→ フォトカプラ絶縁入力 (AE 側) — 妨害電圧 V_{Test} 印
加時の入力電流 I_{LED} の推定 ($R_C = 1.6 \text{ k}\Omega$ ($n = 16$)、
 $V_{\text{IO}} = 5 \text{ V}$ 、 $R_1 = 500 \Omega$ 、TR1 はオフ (遮断) 状態、保
護回路なし、 R_2 は図 9 を参照)

2.3.2.2 EUT と AE が逆の場合

図 8 と EUT と AE (対向器) が逆、すなわち AE 側の IO 電源とオープン・コレクタ出力で EUT 側のフォトカプラの LED を駆動する場合は状況は異なる。

この試験は AE 側のポートは減結合 (デカップル) して、従ってアース (—) からもアイソレートされた状態で行なわれる。また、EUT はアース (—) に接続されるが、この構成ではそのポートはフォトカプラで絶縁されており本質的にアイソレートされたままである。

このため、図 8 と EUT と AE を逆としてこの試験を行なった場合、結合回路の接続は負荷を増加させるものの、それ以外は顕著な影響は生じないことが期待される (§4.1)。

2.3.3 妨害電圧の印加の影響の緩和

表 5 の推定結果からすると、図 8 のような構成で妨害電圧 $V_{\text{Test}} = -10 \text{ V}$ を印加した状態でも正しい動作を維持させるためには、例えば次のような手段の適用が必要となりそうである:

- 受信端と並列に適切な値の抵抗を接続し、ドライバがオフとなっている時に妨害電圧を受けた時の LED 電流が閾値を下回るようにする。

(例えば、表5や表6に示した推定で LED 電流の閾値の下限を 0.5 mA 程度と仮定した場合、 30Ω 程度以下の抵抗を受信端と並列に接続する。)

- あるいは、より多くの線を束として引くようにすることで妨害電圧の影響を緩和し、それに応じた値の抵抗を受信端と並列に接続する；
- あるいは、そのポートをアース ($\underline{}$) や他の全てのポートからアイソレートする (§4.1)。
- あるいは、そのケーブルを適切にシールドする (図5)。

2.3.4 妨害電圧による損傷の防止

先に触れたような妨害電圧を受けた時の損傷の防止のための保護回路の例を図9に示す。

ここで追加しているコンポーネントは以下のようないくつか役割を意図したものとなる：

- R2 — 負極性の妨害の注入が、また結合回路の接続そのものが LED 電流 I_{LED} を閾値を超えて論理状態を反転させることを防ぐ；
- D1 — 正極性の妨害を受けた際にフォトカプラの LED に逆電圧が加わることを防ぐ；
- D2 — 負極性の妨害を受けた際にドライバの出力に逆電圧が印加されることを、またその電圧が大きくマイナス側に振れることに伴って LED 電流 I_{LED} が過大となることを防ぐ。

2.4 非絶縁 PNP オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側)

ここでは、図10のように EUT 側から PNP オープン・コレクタでソースされる電流を AE (対向器) 側のフォトカプラで受ける場合について考える。

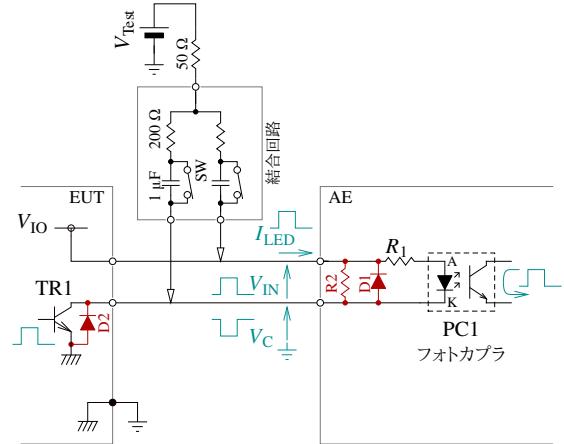


図9: 非絶縁 NPN オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側) — 保護回路の追加の例

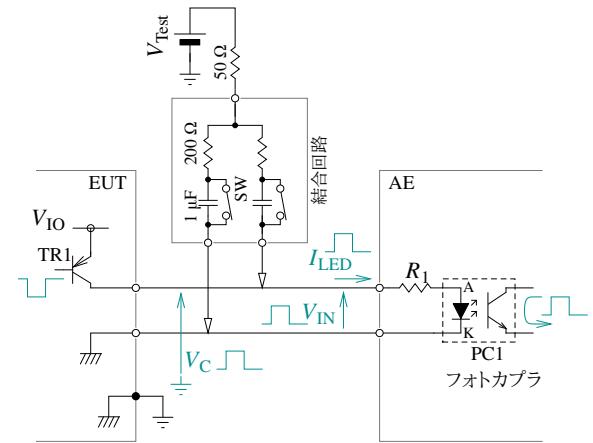


図10: 非絶縁 PNP オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側)

2.4.1 通常の動作

通常の動作状態では、図10のような構成でドライバ TR1 がオン (導通) となっている時は TR1 のコレクタ側の、従ってフォトカプラ PC1 の LED のアノード (A) 側の電位 V_C は V_{IO} 近くまで引き上げられて PC1 の LED 電流 I_{LED} は閾値を超えて論理状態となる。

また、ドライバ TR1 がオフ (遮断) となっている時はフォトカプラ PC1 の LED 電流 I_{LED} は遮断され、その出力側はそれに対応した論理状態となる。

2.4.2 妨害電圧の印加の影響

- 図10のような構成で、ドライバ TR1 がオン (導通) となっている、従って閾値を超える I_{LED}

が流れている状態で妨害電圧 V_{Test} を印加した時、

- 負の妨害電圧 ($0 \text{ V} > V_{Test}$) の場合:

妨害電圧の印加に伴う電流をドライバ TR1 が吐き出せる限りは V_C は V_{IO} に近いままに維持され、 V_{IN} は、従って I_{LED} は大きく変動せず、その出力側の論理状態は変化しないと想定される。

但し、TR1 はその電流を吐き出して出力を V_{IO} 近くに保てるだけの能力が必要となる。

- 正の妨害電圧 ($0 \text{ V} < V_{Test}$) の場合:

妨害電圧の印加は既にほぼ V_{IO} となっていた V_C をさらに引き上げるように働くが、これはフォトカプラの出力側の論理状態を変化させない。

但し、適切な保護なしでは、ドライバ TR1 のコレクタ—エミッタ間に相当の逆電圧が印加されることが、また I_{LED} が通常想定される範囲を大幅に超えることが予期され、損傷の防止のために適切な保護が必要となりそうである (§2.4.4)。

- ドライバ TR1 がオフ (遮断) となっている、従って I_{LED} がゼロとなっている状態で妨害電圧 V_{Test} を印加した時、

- 負の妨害電圧 ($0 \text{ V} > V_{Test}$) の場合:

妨害電圧の印加に伴って V_C が引き下げられるであろうが、これは LED に逆電圧を印加する形となり、出力側の論理状態は変化しない。

但し、LED は一般に逆電圧への耐性は低いため、損傷の防止のため、逆電圧に対する保護は必要となるだろう (§2.4.4)。

- 正の妨害電圧 ($0 \text{ V} < V_{Test}$) の場合:

妨害電圧の印加に伴って V_C が引き上げられて閾値を超える I_{LED} が流れ、その出力側の論理状態が誤った状態となる可能性がある。

参考のため、デバイスの入力インピーダンスや実際には存在するであろう保護回路の影響などは無視し、 $R_C = 200 \Omega$ ($n = 2$)、 $V_{IO} = 5 \text{ V}$ 、 $R_1 = 500 \Omega$ 、TR1 はオフ (遮断) 状態として図 10 のような構成で

妨害電圧 V_{Test} を印加した時の I_{LED} を推定した結果を表 8 に示す。

V_{Test}	R_2	V_{IN}	I_{LED}
+10 V	なし	+6 V	8.2 mA
+10 V	200 Ω	+3.3 V	3.0 mA
+10 V	60 Ω	+1.6 V	0.2 mA
-10 V	なし	-7.5 V	0.0 mA
-10 V	200 Ω	-3.6 V	0.0 mA
-10 V	60 Ω	-1.6 V	0.0 mA
+100 V	なし	+55 V	0.11 A
+100 V	200 Ω	+30 V	56 mA
+100 V	60 Ω	+15 V	25 mA
-100 V	なし	-56 V	0.0 mA
-100 V	200 Ω	-31 V	0.0 mA
-100 V	60 Ω	-15 V	0.0 mA

表 8: 非絶縁 PNP オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側) — 妨害電圧 V_{Test} 印加時の入力電流 I_{LED} の推定 ($R_C = 200 \Omega$ ($n = 2$)、 $V_{IO} = 5 \text{ V}$ 、 $R_1 = 500 \Omega$ 、TR1 はオフ (遮断) 状態、保護回路なし、 R_2 は図 11 を参照)

表 8 に示した推定では、NPN オープン・コレクタでの同様の推定 (表 5) よりも影響の程度が小さくなっている^{†7} ものの、図 10 のような状態 ($R_2 = \text{なし}$) で妨害電圧 $V_{Test} = +10 \text{ V}$ を印加すると TR1 をオフとしているにも関わらず LED 電流 I_{LED} は TR1 をオンとした時よりも大きくなり、従ってフォトカプラの出力側の論理状態は確実に誤った状態となると推定されている。

表 9 には $R_C = 200 \Omega$ ($n = 2$)、 $V_{IO} = 24 \text{ V}$ 、 $R_1 = 3.6 \text{ k}\Omega$ としての同様の推定を示す。

表 8 と同様、表 9 でも図 10 のような状態 ($R_2 = \text{なし}$) で妨害電圧 $V_{Test} = -10 \text{ V}$ を印加すると I_{LED} が閾値 (0.5 mA と仮定) を超えると推定されている。

2.4.2.1 多数のラインが束で引かれる場合

表 2.1.2.1 と同様、16 本のラインが束とされることを仮定して $R_C = 16 \times 100 \Omega = 1.6 \text{ k}\Omega$ ($n = 16$) とし、他のラインの接続先の影響は無視して図 10 と同様の回路 1 つについて同様の推定を行なったものを表 10 に示す。

表 8 と表 10 を比較すると、後者では妨害電圧 $V_{Test} = +10 \text{ V}$ の時の LED 電流 I_{LED} が若干低

^{†7} この構成では V_{IO} が I_{LED} に寄与しないため。

V_{Test}	R_2	V_{IN}	I_{LED}
+10 V	なし	+7.6 V	1.6 mA
+10 V	200 Ω	+3.6 V	0.5 mA
+10 V	60 Ω	+1.6 V	0.1 mA
-10 V	なし	-7.9 V	0.0 mA
-10 V	200 Ω	-3.6 V	0.0 mA
-10 V	60 Ω	-1.6 V	0.0 mA
+100 V	なし	+75 V	20 mA
+100 V	200 Ω	+35 V	9.3 mA
+100 V	60 Ω	+16 V	3.9 mA
-100 V	なし	-75 V	0.0 mA
-100 V	200 Ω	-35 V	0.0 mA
-100 V	60 Ω	-16 V	0.0 mA

表 9: 非絶縁 PNP オープン・コレクタ出力 (EUT 側)
→ フォトカプラ絶縁入力 (AE 側) — 妨害電圧 V_{Test} 印加時の入力電流 I_{LED} の推定 ($R_C = 200 \Omega$ ($n = 2$)、
 $V_{\text{IO}} = 24 \text{ V}$ 、 $R_1 = 3.6 \text{ k}\Omega$ 、TR1 はオフ (遮断) 状態、
保護回路なし、 R_2 は図 11 を参照)

減されていること、特に $R_2 = 200 \Omega$ の時の I_{LED} の推定が 3 mA から 0 mA に低下していることが目に付くだろう。

V_{Test}	R_2	V_{IN}	I_{LED}
+10 V	なし	+3.7 V	3.7 mA
+10 V	200 Ω	+1 V	0.0 mA
+10 V	60 Ω	+0.34 V	0.0 mA
-10 V	なし	-7.2 V	0.0 mA
-10 V	200 Ω	-1 V	0.0 mA
-10 V	60 Ω	-0.34 V	0.0 mA
+100 V	なし	+24 V	44 mA
+100 V	200 Ω	+8.3 V	12 mA
+100 V	60 Ω	+3.2 V	2.9 mA
-100 V	なし	-28 V	0.0 mA
-100 V	200 Ω	-9.5 V	0.0 mA
-100 V	60 Ω	-3.4 V	0.0 mA

表 10: 非絶縁 PNP オープン・コレクタ出力 (EUT 側)
→ フォトカプラ絶縁入力 (AE 側) — 妨害電圧 V_{Test} 印加時の入力電流 I_{LED} の推定 ($R_C = 1.6 \text{ k}\Omega$ ($n = 16$)、
 $V_{\text{IO}} = 5 \text{ V}$ 、 $R_1 = 500 \Omega$ 、TR1 はオフ (遮断) 状態、
保護回路なし、 R_2 は図 11 を参照)

2.4.2.2 EUT と AE が逆の場合

図 10 と EUT と AE (対向器) が逆、すなわち AE 側の IO 電源とオープン・コレクタ出力で EUT 側のフォトカプラの LED を駆動する場合、§2.3.2.2 と

同様、結合回路の接続は負荷を増加させるものの、それ以外は顕著な影響は生じないことが期待される (§4.1)。

2.4.3 妨害電圧の印加の影響の緩和

表 8 の推定結果からすると、図 10 のような構成で妨害電圧 $V_{\text{Test}} = +10 \text{ V}$ を印加した状態でも正しい動作を維持させるためには、例えば次のような手段の適用が必要となりそうである:

- 受信端と並列に適切な値の抵抗を接続し、ドライバがオフとなっている時に妨害電圧を受けた時の LED 電流が閾値を超えないようにする。
(例えば、表 8 や表 9 に示した推定で LED 電流の閾値の下限を 0.5 mA 程度と仮定した場合、 $V_{\text{IO}} = 5 \text{ V}$ の場合は 60 Ω 程度以下、 $V_{\text{IO}} = 24 \text{ V}$ の場合は 100 Ω 程度以下の抵抗を受信端と並列に接続する。)
- あるいは、より多くの線を束として引くようにすることで妨害電圧の影響を緩和し、それに応じた値の抵抗を受信端と並列に接続する;
- あるいは、そのポートをアース (−) や他の全てのポートからアイソレートする (§4.1)。
- あるいは、そのケーブルを適切にシールドする (図 5)。

2.4.4 妨害電圧による損傷の防止

先に触れたような妨害電圧を受けた時の損傷の防止のための保護回路の例を図 11 に示す。

ここで追加しているコンポーネントは以下のよう役割を意図したものとなる:

- R2 — 負極性の妨害の注入が LED 電流 I_{LED} を閾値を超えて論理状態を反転させることを防ぐ;
- D1 — 正極性の妨害を受けた際にフォトカプラの LED に逆電圧が加わることを防ぐ;
- D2 — 正極性の妨害を受けた際にドライバの出力に逆電圧が印加されることを、またその電圧が大きくプラス側に振れることに伴って LED 電流 I_{LED} が過大となることを防ぐ。

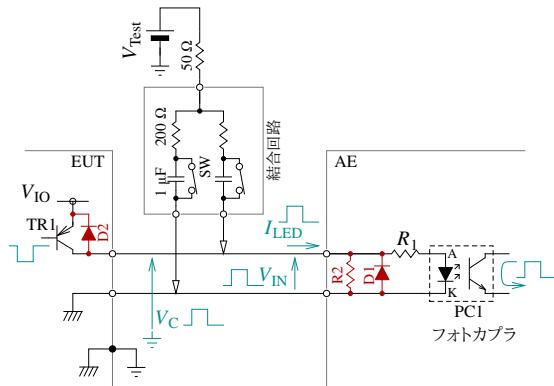


図 11: 非絶縁 PNP オープン・コレクタ出力 (EUT 側) → フォトカプラ絶縁入力 (AE 側) — 保護回路の追加の例

2.5 フォトカプラ絶縁出力 (EUT 側) → 抵抗プルアップ、電圧入力 (AE 側)

図 12にイメージを示すようなフォトカプラ出力の場合、この試験では EUT はアース (\perp) に接続されるが、そのポートは本質的にフローティングのままである。また、この試験は AE (対向器) 側のポートは減結合 (デカップル) して、従ってアース (\perp) からもアイソレートされた状態で行なわれる。

このため、妨害電圧の印加は顕著な影響は生じないことが期待される。但し、このタイプの出力は駆動能力が低いかも知れず、結合回路の接続そのものが動作に悪影響を与えるかも知れない。

また、この試験構成は実際の使用状況を代表するとは限らず、この試験で正常な動作を維持できたとしてもそれはそれらのポートの機能が実際の使用環境で悪影響を受けないことを示すとは限らない (§4.1)。

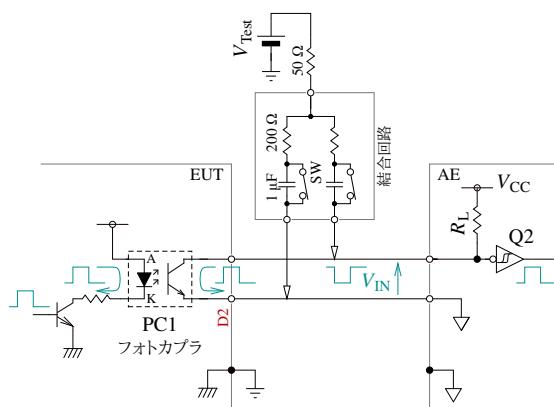


図 12: フォトカプラ絶縁出力 → 抵抗プルアップ、電圧入力

2.6 TIA/EIA/RS 485

TIA/EIA/RS 485 (以降、RS 485) は平衡伝送方式によるもので、1 km 程度までの距離の、 $n : n$ ($n \leq 32$) のマルチ・ドロップ接続での通信に用いられる。

10 Mbpsまでの通信速度をカバーするが、1 km では 100 kbs 程度、100 m では 1 Mbps 程度のように通信速度は距離とのトレードオフとなり、長距離においては比較的低速の通信での使用が想定される。

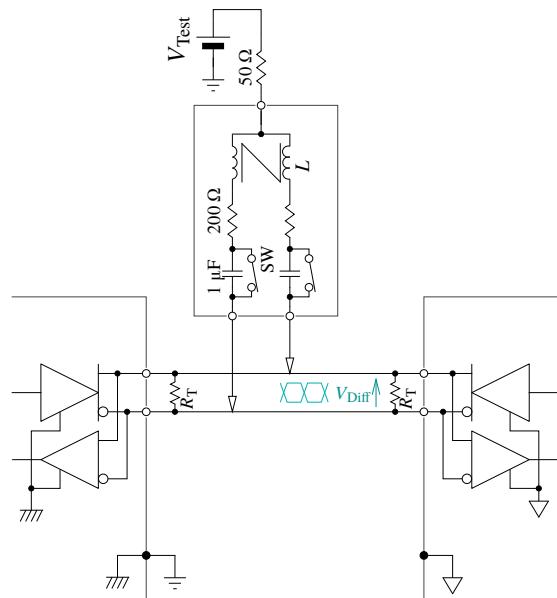


図 13: TIA/EIA/RS 485

2.6.1 通常の動作

ドライバは信号を規定された負荷状態で 1.5~5 V の差動電圧として送信し、レシーバは差動電圧が +200 mV 以上であればハイ、-200 V 以下であればローと判断する。

トランシーバは、規定された試験条件で -7~+12 V のコモンモード電圧に耐えることが想定される。

2.6.2 妨害電圧の印加の影響

RS 485 の通信ラインは平衡であり、この試験で印加される妨害は図 13 のようにコモンモードとして印加される形となる。

RS 485 のトランシーバは規定された試験条件で -7~+12 V のコモンモード電圧に耐えることが求

められており、少なくともそれよりも若干低い電圧範囲（試験条件の違いのため）の DC や低周波のコモンモード電圧に対しては特別な保護なしで機能を維持できると期待できそうである。

だが、 $\pm 10\text{ V}$ のコモンモード電圧を印加した状態については、実際に試験を行なえばそのサンプルの実力としては機能を維持できるかも知れないとしても、それを担保できるかどうかは微妙に思われる。

また、 $\pm 100\text{ V}$ のコモンモード電圧への耐性を担保するためにはそれを考慮した対応が必要となりそうである。

2.6.3 妨害電圧の印加の影響の緩和

図 13 のような構成で、トランシーバ自身が耐えられる範囲を超えた妨害電圧を受けた状態で機能を維持できることを、あるいは損傷を生じないことを担保するためには、例えば次のような手段が必要となりそうである：

- 双方のトランシーバをアース ($\frac{1}{-}$) や他の全てのポートからアイソレートする^[3]；
- あるいは、双方のトランシーバと通信線のあいだをパルス・トランスで絶縁する；
- あるいは、そのケーブルを適切にシールドする（図 5）。

3 アナログ I/O ポート

3.1 アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側)

ソース側 (EUT 側) は絶縁されておらず、受信側 (AE 側) は絶縁増幅器かその他の何らかの手段でアース ($\frac{1}{-}$) や他の全てのポートからアイソレートされた状態とされるものと想定している。

3.1.1 通常の動作

出力側からソースされた電流 I_{OUT} は受信側の検出抵抗 R_L で電圧 $R_L \cdot I_{\text{OUT}}$ に変換され、差動増幅器が差動入力の A/D コンバータで処理される。

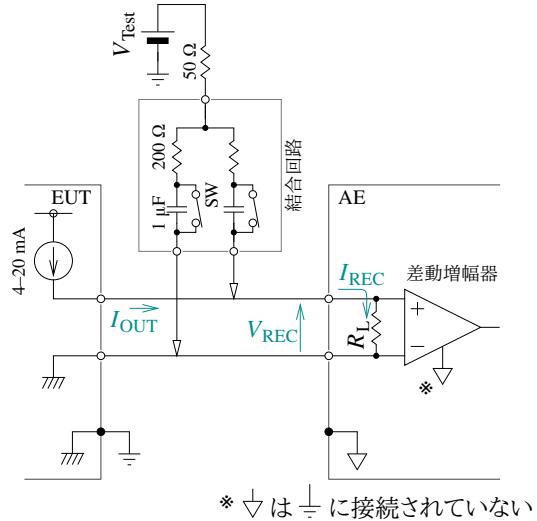


図 14: アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側)

3.1.2 妨害電圧の印加の影響

図 14 のような構成で妨害を印加した時の影響を推定したものを表 11 に示すが、どの条件でも大きな変動の発生が推定されている。

R_L	V_{Test}	V_{REC}	I_{REC}
100 Ω	0 V	0.71 V	7.1 mA
100 Ω	+10 V	3.1 V	30 mA
100 Ω	-10 V	-1.6 V	-16 mA
100 Ω	+100 V	24 V	0.24 A
100 Ω	-100 V	-23 V	-0.23 A
50 Ω	0 V	0.41 V	8.3 mA
50 Ω	+10 V	1.8 V	35 mA
50 Ω	-10 V	-0.97 V	-19 mA
50 Ω	+100 V	14 V	0.28 A
50 Ω	-100 V	-13 V	-0.27 A
10 Ω	0 V	0.096 V	9.6 mA
10 Ω	+10 V	0.42 V	41 mA
10 Ω	-10 V	-0.22 V	-22 mA
10 Ω	+100 V	3.3 V	0.33 A
10 Ω	-100 V	-3.1 V	-0.31 A

表 11: アナログ信号 定電流ソース (EUT 側) → 抵抗負荷、絶縁増幅器入力 (AE 側) — 妨害電圧 V_{Test} 印加時の受信電流 I_{Rec} の推定 ($R_C = 200\Omega$ ($n = 2$)、 $I_{\text{OUT}} = 10\text{ mA}$)

3.1.2.1 EUT と AE が逆の場合

図 14 と EUT と AE (対向器) が逆、すなわち AE から定電流でソースされるアナログ信号を EUT 側

のシャント抵抗と差動増幅器で受ける場合は状況は異なる。

この試験は AE (対向器) 側のポートは減結合 (デカップル) して、従ってアース (\perp) からもアイソレートされた状態で行なわれる。また、EUT はアース (\perp) に接続されるが、差動増幅器の入力は許容入力電圧範囲内では高インピーダンスとみなせるものと仮定する。

この場合、結合回路の接続に伴う I_{REC} の減少はあるが、差動増幅器の許容入力電圧範囲内では妨害電圧に直接起因する I_{REC} の変動は生じないと想定される。

従って、差動増幅器の許容入力電圧範囲が $\pm 10\text{ V}$ よりも広い (例えば $\pm 15\text{ V}$ 電源の増幅器でそうなるかも知れないように) ならば、そのままの状態でこの試験法での $\pm 10\text{ V}$ での試験で正常な動作を維持できる可能性がある。

だが、この場合も $\pm 100\text{ V}$ での試験で損傷を生じないことを担保するためにはそれに見合った保護が必要となるであろう。

3.1.3 妨害電圧の印加の影響の緩和

妨害電圧 $V_{Test} = +10\text{ V}$ を印加した時の I_{REC} の大きな変動を抑えるためには次のような手段が必要となるかも知れない:

- そのポートをアース (\perp) や他の全てのポートからアイソレートする (§4.1)。

この場合も結合回路の接続に伴う I_{REC} の変動は生じるが、妨害電圧は双方のラインに均等に加わるようになり、妨害電圧に直接起因する I_{REC} の変動は抑制される。

- あるいは、そのケーブルを適切にシールドする (図 5)。

4 補足

4.1 アイソレートされたポート

図 15 に例示するようなポートは本質的にアースや他の全てのポートからアイソレートされている。

図 15 で例示したようなものはコンポーネント自身がアイソレーションの機能を持つが、より複雑な回路が接続されるポートも例えばその回路への電源

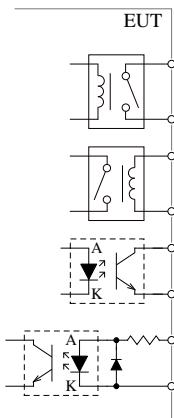


図 15: 本質的にアースや他の全てのポートからアイソレートされたポートの例

や信号全てを他からアイソレートすることでアースや他の全てのポートからアイソレートすることができる。

但し、電源が他のポートと共に用いられる場合、コモン端子がある場合などはここで言うアイソレートされた状態とはならない。

この試験は AE (対向器) 側のポートは減結合 (デカップル) して、従ってアース (\perp) からもアイソレートされた状態で行なわれる。従って、EUT 側のポートがアースや他の全てのポートからアイソレートされている場合、この試験での妨害電圧の印加に伴ってこれらのポートに有意なノーマルモード電圧が印加されそうにはない。また、この種のアイソレートされたポートは一般に少なくとも DC や低周波のコモンモード電圧に対して高い耐性を持つ。このため、この種のポートは一般にこの試験では悪影響を受けにくくことが予期される。

だが、AE 側のポートがアースや他の全てのポートからアイソレートされているが EUT 側のポートはそうではない場合、上でいくつかの例を示したようにこの試験で著しく影響を受けやすくなることが予期される。

4.2 妨害電圧の印加の影響の推定の方法の例

本稿で述べたような方法での妨害電圧の印加の影響の推定の方法の例を示す。但し、本稿で示した推定値はこれとは別の方法で求めており、この方法で求めた値とは多少異なることがある。

4.2.1 NPN オープン・コレクタ出力→抵抗プルアップ、電圧入力

§2.1で述べた図3のような $R_C = 200 \Omega$ での構成での妨害電圧 V_{Test} の印加は、鳳・テブナンの定理より、

$$\begin{aligned} V'_{source} &= V_{Test} \frac{R_C}{50 \Omega + R_C} \\ &= V_{Test} \frac{200 \Omega}{50 \Omega + 200 \Omega} \\ &= 0.8 V_{Test} \end{aligned}$$

の妨害電圧を

$$\begin{aligned} R'_{source} &= 50 \Omega \parallel R_C + R_C \\ &= 50 \Omega \parallel 200 \Omega + 200 \Omega \\ &= 40 \Omega + 200 \Omega \\ &= 240 \Omega \end{aligned}$$

の直列抵抗を通して印加することと等価とみなすことができる。

Q1 の出力はハイ(開放)として妨害電圧 V_{Test} を印加した時のレシーバ Q2 の入力電圧 V_{IN} は、

$$\begin{aligned} V_{IN} &= (V'_{source} - V_{CC}) \frac{R_L}{R'_{source} + R_L} + V_{CC} \\ &= \frac{V'_{source} R_L + V_{CC} R'_{source}}{R'_{source} + R_L} \\ &= \frac{0.8 V_{Test} R_L + V_{CC} 240 \Omega}{240 \Omega + R_L} \end{aligned}$$

で、例えば $V_{CC} = 5 \text{ V}$ 、 $R_L = 500 \Omega$ 、 $V_{Test} = -10 \text{ V}$ では

$$\begin{aligned} V_{IN} &= \frac{0.8 \times -10 \text{ V} \times 500 \Omega + 5 \text{ V} \times 240 \Omega}{240 \Omega + 500 \Omega} \\ &\approx -3.78 \text{ V} \end{aligned}$$

と、また $R_L = 30 \Omega$ では

$$\begin{aligned} V_{IN} &= \frac{0.8 \times -10 \text{ V} \times 30 \Omega + 5 \text{ V} \times 240 \Omega}{240 \Omega + 30 \Omega} \\ &\approx 3.56 \text{ V} \end{aligned}$$

となる(表1)。

$R_C = 1.6 \text{ k}\Omega$ の場合(例えば図4のような16本のラインへの印加で他のラインの接続先の影響を無視

した場合)^{†8}は、

$$\begin{aligned} V'_{source} &= V_{Test} \frac{R_C}{50 \Omega + R_C} \\ &= V_{Test} \frac{1.6 \text{ k}\Omega}{50 \Omega + 1.6 \text{ k}\Omega} \\ &\approx 0.97 V_{Test} \end{aligned}$$

$$\begin{aligned} R'_{source} &= 50 \Omega \parallel R_C + R_C \\ &= 50 \Omega \parallel 1.6 \text{ k}\Omega + 1.6 \text{ k}\Omega \\ &\approx 48 \Omega + 1.6 \text{ k}\Omega \\ &\approx 1.65 \text{ k}\Omega \end{aligned}$$

となり、この場合の上と同様の条件での V_{IN} は、

$$\begin{aligned} V_{IN} &= \frac{V'_{source} R_L + V_{CC} R'_{source}}{R'_{source} + R_L} \\ &\approx \frac{0.97 V_{Test} R_L + V_{CC} 1.65 \text{ k}\Omega}{1.65 \text{ k} + R_L} \end{aligned}$$

で、例えば $V_{CC} = 5 \text{ V}$ 、 $R_L = 500 \Omega$ 、 $V_{Test} = -10 \text{ V}$ では

$$\begin{aligned} V_{IN} &\approx \frac{0.97 \times -10 \text{ V} \times 500 \Omega + 5 \text{ V} \times 1.65 \text{ k}\Omega}{1.65 \text{ k}\Omega + 500 \Omega} \\ &\approx 1.56 \text{ V} \end{aligned}$$

と、また $R_L = 30 \Omega$ では

$$\begin{aligned} V_{IN} &\approx \frac{0.97 \times -10 \text{ V} \times 30 \Omega + 5 \text{ V} \times 1.65 \text{ k}\Omega}{1.65 \text{ k}\Omega + 30 \Omega} \\ &\approx 4.16 \text{ V} \end{aligned}$$

となる(表2)。

4.2.2 NPN オープン・コレクタ出力→フォトカプラ絶縁入力

§2.3で述べた図8のような構成の場合も妨害源の等価回路は §4.2.1 と同様であるが、結合回路のもう一方の抵抗が 0 V ではなく V_{IO} に接続されるため、

$$\begin{aligned} V'_{source} &= (V_{Test} - V_{IO}) \frac{R_C}{50 \Omega + R_C} + V_{IO} \\ &= 0.8(V_{Test} - V_{IO}) + V_{IO} \\ &= 0.8 V_{Test} + 0.2 V_{IO} \end{aligned}$$

^{†8} 16本のラインに図3と同様の回路8組が接続される場合、グランドに接続されるラインが少なくとも8本あることになり、これを考慮するとその他のラインの影響を無視しても V'_{source} は $R_C = 200 \Omega$ の場合と同様となる。このため、この推定は若干悲観的なものとなりそうである。

の妨害電圧を

$$R'_{\text{source}} = 240 \Omega$$

の直列抵抗を通して印加することと等価とみなすことができる。

TR1 はオフ (遮断) として妨害電圧 V_{Test} を印加した時の I_{LED} はフォトカプラの LED の順電圧を V_f として

$$\begin{aligned} I_{\text{LED}} &= \frac{V_{\text{IO}} - V'_{\text{source}} - V_f}{R'_{\text{source}} + R_1} \\ &= \frac{V_{\text{IO}} - (0.8 V_{\text{Test}} + 0.2 V_{\text{IO}}) - V_f}{240 \Omega + R_1} \\ &= \frac{0.8(V_{\text{IO}} - V_{\text{Test}}) - V_f}{240 \Omega + R_1} \end{aligned}$$

で、例えば $V_f = 2 \text{ V}$ と仮定し、 $V_{\text{IO}} = 5 \text{ V}$ 、 $R_1 = 500 \Omega$ 、 $V_{\text{Test}} = -10 \text{ V}$ とすると、

$$\begin{aligned} I_{\text{LED}} &= \frac{0.8(5 \text{ V} + 10 \text{ V}) - 2 \text{ V}}{240 \Omega + 500 \Omega} \\ &\approx 13.5 \text{ mA} \end{aligned}$$

と (表5)、また $V_{\text{IO}} = 24 \text{ V}$ 、 $R_1 = 3.6 \text{ k}\Omega$ 、 $V_{\text{Test}} = -10 \text{ V}$ とすると、

$$\begin{aligned} I_{\text{LED}} &= \frac{0.8(24 \text{ V} + 10 \text{ V}) - 2 \text{ V}}{240 \Omega + 3.6 \text{ k}\Omega} \\ &\approx 6.56 \text{ mA} \end{aligned}$$

となる (表6)。

4.2.3 PNP オープン・コレクタ出力→フォトカプラ絶縁入力

§2.4で述べた図10のような構成の場合も妨害源の等価回路は §4.2.1 と同様で、TR1 はオフ (遮断) として妨害電圧 V_{Test} を印加した時の I_{LED} はフォトカプラの LED の順電圧を V_f として

$$\begin{aligned} I_{\text{LED}} &= \frac{V'_{\text{source}} - V_f}{R'_{\text{source}} + R_1} \\ &= \frac{0.8 V_{\text{Test}} - V_f}{240 \Omega + R_1} \end{aligned}$$

(V_{IO} は影響しない) で、例えば $V_f = 2 \text{ V}$ と仮定し、 $R_1 = 500 \Omega$ 、 $V_{\text{Test}} = +10 \text{ V}$ とすると、

$$\begin{aligned} I_{\text{LED}} &= \frac{0.8 \times 10 \text{ V} - 2 \text{ V}}{240 \Omega + 500 \Omega} \\ &\approx 8.1 \text{ mA} \end{aligned}$$

と (表8)、また $R_1 = 3.6 \text{ k}\Omega$ 、 $V_{\text{Test}} = +10 \text{ V}$ とすると、

$$\begin{aligned} I_{\text{LED}} &= \frac{0.8 \times 10 \text{ V} - 2 \text{ V}}{240 \Omega + 3.6 \text{ k}\Omega} \\ &\approx 1.56 \text{ mA} \end{aligned}$$

となる (表9)。

5 まとめ

この試験は DC の妨害電圧の印加をコモンモードで行なうような形となっているが、相当のレベルの妨害電圧が実質的にノーマルモードで印加される形となることもあり、この試験に合格させるためにはそれも考慮した設計が必要となりそうである。

また、この試験での $\pm 100 \text{ V}$ のような妨害電圧での試験で損傷しないことが求められる場合、設計ではそれも考慮することが必要となりそうである。

この試験での妨害電圧の印加に伴う影響の形態や程度、また実際的な手段での影響の低減が可能かどうかは場合による。また、この試験に合格したものがこの試験で模擬しようとしているであろう妨害に対する良好な耐性を実際の使用で示すとは限らないよう、またその逆も同様であるように思われる。

だが、以下の方策はどのタイプのポートでも有効であろうし、適切に実施すればこの試験だけでなく実際の使用においてもこの種の妨害に対する良好な保護を与えられるであろう:

- ケーブルを適切にシールドする。

この場合はこの規格での試験では妨害電圧はシールドの中のラインではなく図5のようにシールドに対してのみ印加され、従ってシールドの中のライン上の信号やそれに接続された回路は有害な影響を受けそうにない。

シールドは実際の使用に際してこの試験で模擬されるような妨害に対する保護を与えるとは限らない。だが、両端が低インピーダンスで終端された、またその全長の抵抗が充分に小さいシールドは、実際の使用においてもその抵抗に応じた保護を与えるであろう。

- この試験の対象となる全てのポート、及びその接続先のポートの双方を、アース (\perp) や他の全てのポートからアイソレートする (§4.1)。

この場合、この規格での試験と実際の使用のいずれの場合でも、実際上、それらのポートに有害な妨害電圧は印加されないことになるだろう。

但し、ポートが回路からフォトカプラやパルス・トランスなどでアイソレートされるような場合を除いてそれぞれのポートについて電源が必要となるため、ポート数が多い場合はあまり実際的ではないかも知れない。

また、上で例示したように、ポートのタイプによつては接続先の負荷の種類やその特性（主に抵抗値や動作の閾値）を限定するなどの手段でこの試験に合格させられる可能性もある。

いずれの場合も、この規格への適合を謳う場合、合格させるための条件を使用条件として明示することが必要となるだろう。

6 参考資料

[1] IEC 61000-4-16:2015, *Electromagnetic compatibility (EMC) — Part 4-16: Testing and measurement techniques — Test for immunity to conducted, common mode disturbances in the frequency range 0 Hz to 150 kHz*

[2] IEC 61000-4-16 の概要 — 低周波伝導コモンモード妨害イミュニティ試験の方法、株式会社 e・オータマ 佐藤, 2024-2025,

<https://www.emc-ohtama.jp/emc/reference.html>

[2.1] IEC 61000-4-16 の概要 — 追補 1: DC 電圧試験における結合回路による終端の影響

[3] Application Note: *Isolated RS-485 Transceiver Reference Design (SLLA453A)*, Texas Instruments, 2019-2022,

<https://www.ti.com/lit/pdf/slla453>